

(1) Japanese Patent Application Laid-Open No. 10-150161 (1998)

**"CAPACITOR OF SEMICONDUCTOR DEVICE AND
MANUFACTURING METHOD THEREOF"**

The following is an English translation of an extract of the above application.

5

A capacitor of a semiconductor device according to the present invention includes interlayer insulating films 25 and 29 having a contact hole formed on a semiconductor substrate, a metal plug 31a connected to the substrate through the contact hole, a storage node 33 coupled to the metal plug, a dielectric film 35 formed on the storage node, and a 10 plate node 37 formed on the dielectric film. According to this, it becomes possible to reduce the resistance remarkably and prevent an outward diffusion of impurities drastically by using a low resistance metal in which no impurities are contained in the post portion of the storage node buried in the contact hole for the storage node.

It is desirable that the metal plug 31a is made of a high-melting metal or a 15 sandwich structure of a conductive adhesive layer and the high-melting metal. Moreover, it is desirable that the high-melting metal is tungsten and the conductive adhesive layer is made of titanium and titanium nitride.

特開平10-150161

(43)公開日 平成10年(1998)6月2日

(51)Int.Cl.
H01L 27/108
21/8242
27/04
21/822

識別記号

F I
H01L 27/10
27/04

621 C
C

審査請求 未請求 請求項の数11 O L (全7頁)

(21)出願番号 特願平8-304680

(22)出願日 平成8年(1996)11月15日

(71)出願人 390019839
三星電子株式会社
大韓民国京畿道水原市八達区梅灘洞416

(72)発明者 李圭弼
大韓民国京畿道城南市盆唐区書▲ヒュン▼
洞308番地孝子村アパート606棟501号

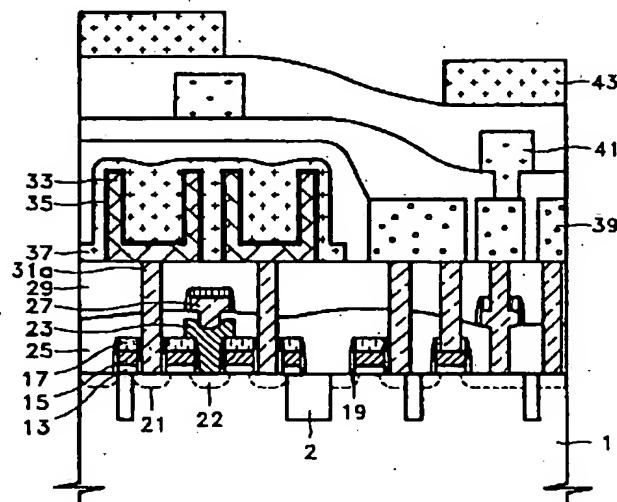
(74)代理人 弁理士 大塚 康徳 (外1名)

(54)【発明の名称】半導体装置のキャバシタ及びその製造方法

(57)【要約】

【課題】 抵抗が著しく減少し、不純物の外向拡散も根本的に防止することができる半導体装置のキャバシタ及びその製造方法を提供する。

【解決手段】 本発明の半導体装置のキャバシタは、半導体基板上に形成されたコンタクトホールを有する層間絶縁膜25, 29と、前記コンタクトホールを通して前記基板に接続される金属プラグ31aと、前記金属プラグに連結されるストレージノード33と、前記ストレージノード上に形成された誘電膜35と、前記誘電膜上に形成されたブレートノード37などを含む。これによれば、ストレージノード用のコンタクトホールに埋め込まれるストレージノードの柱部に不純物が含まれない低抵抗の金属を用いることにより、抵抗が著しく減少し、不純物の外向拡散も根本的に防止することができる。



【特許請求の範囲】

【請求項1】 半導体基板上に形成されたコンタクトホールを有する層間絶縁膜と、前記コンタクトホールを通じて前記基板に接続される金属プラグと、前記金属プラグに連結されるストレージノードと、前記ストレージノード上に形成された誘電膜と、前記誘電膜上に形成されたプレートノードとを含むことを特徴とする半導体装置のキャバシタ。

【請求項2】 前記金属プラグは高融点金属で形成されることを特徴とする請求項1に記載の半導体装置のキャバシタ。

【請求項3】 前記高融点金属はタンクスチンであることを特徴とする請求項2に記載の半導体装置のキャバシタ。

【請求項4】 前記金属プラグは導電性接着層と高融点金属とのサンドイッチ構造よりなることを特徴とする請求項1に記載の半導体装置のキャバシタ。

【請求項5】 前記導電性接着層はチタンとチタンナイトライドとで形成されることを特徴とする請求項4に記載の半導体装置のキャバシタ。

【請求項6】 前記高融点金属はタンクスチンであることを特徴とする請求項4に記載の半導体装置のキャバシタ。

【請求項7】 半導体基板上にコンタクトホールを有する平坦化された絶縁膜を形成する工程と、前記コンタクトホールを埋め込むように半導体基板の全面に金属層を形成する工程と、

前記金属層をエッティングして金属プラグを形成する工程と、前記金属プラグに連結されるストレージノードを形成する工程と、

前記ストレージノード上に誘電膜を形成する工程と、前記誘電膜上にプレートノードを形成する工程とを含むことを特徴とする半導体装置のキャバシタ製造方法。

【請求項8】 前記絶縁膜はCMP法で平坦化して形成することを特徴とする請求項7に記載の半導体装置のキャバシタ製造方法。

【請求項9】 前記金属プラグは前記金属層をCMP法でエッティングして形成することを特徴とする請求項7に記載の半導体装置のキャバシタ製造方法。

【請求項10】 半導体基板上に形成されたコンタクトホールを有する層間絶縁膜を介してキャバシタが形成される半導体装置において、

前記キャバシタが、前記層間絶縁膜のコンタクトホールを通じて前記基板に接続される金属プラグと、

前記金属プラグに連結されるストレージノードと、

前記ストレージノード上に形成された誘電膜と、

前記誘電膜上に形成されたプレートノードとを含むこと

を特徴とする半導体装置。

【請求項11】 半導体基板上に形成されたコンタクトホールを有する層間絶縁膜を介してキャバシタが形成される半導体装置の製造方法において、

前記キャバシタの形成が、

半導体基板上にコンタクトホールを有する平坦化された絶縁膜を形成する工程と、

前記コンタクトホールを埋め込むように半導体基板の全面に金属層を形成する工程と、

10 前記金属層をエッティングして金属プラグを形成する工程と、

前記金属プラグに連結されるストレージノードを形成する工程と、

前記ストレージノード上に誘電膜を形成する工程と、前記誘電膜上にプレートノードを形成する工程とを含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置のキャバシタ及びその製造方法に係り、特に半導体基板に接続された金属プラグにストレージノードが連結された半導体装置のキャバシタ及びその製造方法に関する。

【0002】

【従来の技術】 近年、半導体装置の高集積化に伴い、デザインルールが徐々に縮小し、工程の余裕度も減りつつある。DRAM (Dynamic Random Access Memory) 半導体装置において、ギガ(G) ピットレベルの製品への研究が行われるにつれて、デザインルールや工程の余裕度が次第に重要になってきた。特に、DRAM半導体装置に用いられるキャバシタは、データの正常な入出力やりフレッシュ特性の確保のため、限られた面積に一定のレベル以上のキャバシタンスを確保する必要がある。したがって、キャバシタとしてのストレージノードの構造が3次元的に複雑になり、その高さも増える。このため、DRAMのキャバシタにおいて、デザインルールの縮小や工程の余裕度の減少は他の半導体装置よりも深刻な制約となる。

【0003】 一方、一定のレベル以上のキャバシタンスを確保するためのキャバシタの構造は、トレンチ型、積層型及び前記二種の組合せ型に大別される。このうち、工程が割合に複雑でなく、幾何学的に有効面積を増加しやすい積層型キャバシタが多用されている。最近、積層型キャバシタを用い、COB (Capacitor Over Bit Line) 構造を採用する半導体装置が提案された。

【0004】 図1は、COB構造を有する従来の半導体装置のキャバシタを説明するための断面図である。具体的には、半導体基板101上の活性領域間に素子分離領域102が形成されており、第1絶縁膜117、側壁スペーサ119、第2絶縁膜113、導電膜115、ソース121及びドレイン122よりなるトランジスタが、

前記半導体基板101上に形成されている。また、前記ドレイン122上にはランディングパッド123が形成されており、前記ランディングパッドを覆う第1層間絶縁膜125がトランジスタ上に形成されている。前記トランジスタのドレイン122に接続された前記ランディングパッド123を介してピットライン127が連結され、前記ピットライン127の上部に通常の方法で平坦化された第2層間絶縁膜129が形成されている。

【0005】一方、前記第1及び第2層間絶縁膜125, 129を貫通するストレージノード用のコンタクトホールを通して、下部セルトランジスタのソース121に連結され、ドーピングされた多結晶シリコンで構成されるストレージノード133が形成されている。前記ストレージノード133上には誘電膜135とプレート電極137とが形成されて、ストレージノード133、誘電膜135及びプレート電極137で構成されるキャバシタが完成される。図1において、参照番号139, 141及び143は配線層を示す。

【0006】上述したように、従来のCOB構造を有する半導体装置は、ストレージノード用のコンタクトホールに埋め込まれたストレージノード133は細柱状を示している。ところが、前記ストレージノードを不純物のドーピングされた多結晶シリコンで形成する場合、細柱部の抵抗が非常に大きいため、データの入出力が遅延するという問題が発生する。

【0007】更に、従来の半導体装置においては、ストレージノードを構成する多結晶シリコンが半導体基板に直接接触する。この際、基板に接触するコンタクトホールの底部から多結晶シリコンに含まれた不純物が基板に拡散する外向拡散(out-diffusion)により、セルトランジスタの有効チャンネルの長さが減り、セルのオン/オフ特性が低下するという問題も発生する。

【0008】

【発明が解決しようとする課題】したがって、本発明の目的は、ストレージノード用のコンタクトホールに埋め込まれるストレージノード柱の抵抗を減少させることができ、ストレージノードに含まれた不純物が下部導電層に外向拡散することを防止することのできる半導体装置のキャバシタを提供することにある。

【0009】本発明の他の目的は、前記半導体装置のキャバシタを製造するに好適な半導体装置のキャバシタ製造方法を提供することにある。本発明の更に他の目的は、上記キャバシタを有する半導体装置及びその製造方法を提供することにある。

【0010】

【課題を解決するための手段】前記目的を達成するため、本発明は、半導体基板上に形成されたコンタクトホールを有する層間絶縁膜と、前記コンタクトホールを通じて前記基板に接続される金属プラグと、前記金属プラグに連結されるストレージノードと、前記ストレージノ

ード上に形成された誘電膜と、前記誘電膜上に形成されたプレートノードとを含むことを特徴とする半導体装置のキャバシタを提供する。

【0011】ここで、前記金属プラグは高融点金属、または導電性接着層と高融点金属とのサンドイッチ構造よりなることが望ましい。また、前記高融点金属はタンクステンであること、前記導電性接着層はナタンとナタンゲイトライドとで形成されることが望ましい。前記他の目的を達成するために、本発明は、半導体基板上にコンタクトホールを有する平坦化された絶縁膜を形成する工程と、前記コンタクトホールを埋め込むように半導体基板の全面に金属層を形成する工程と、前記金属層をエッチングして金属プラグを形成する工程と、前記金属プラグに連結されるストレージノードを形成する工程と、前記ストレージノード上に誘電膜を形成する工程と、前記誘電膜上にプレートノードを形成する工程とを含むことを特徴とする半導体装置のキャバシタ製造方法を提供する。

【0012】ここで、前記絶縁膜はCMP方法で平坦化することが望ましく、前記金属プラグは前記金属層をCMP方法でエッチングして形成することが望ましい。

【0013】

【発明の実施の形態】以下、添付した図面に基づき本発明の実施の形態をさらに詳しく説明する。先ず、本実施の形態の半導体装置のキャバシタ構造を図2に基づいて説明する。具体的には、半導体基板1上の活性領域間に素子分離領域2が形成されており、第4絶縁膜13、第5絶縁膜17、導電膜15、外壁スペーサ19、ソース21及びドレイン22を備えるトランジスタが、前記半導体基板1上に形成されている。

【0014】前記トランジスタ上には第1層間絶縁膜25が形成されており、ピットライン用のコンタクトホールの形成時の工程余裕度を確保するためにランディングパッドが形成されている。前記トランジスタのドレイン22に前記ランディングパッド23を介して接続されたピットライン27が形成されており、前記ピットライン27の上部に平坦化された第2層間絶縁膜29が形成されている。

【0015】また、前記第1及び第2層間絶縁膜25, 29を貫通するストレージノード用のコンタクトホールを通して、下部セルトランジスタのソース21と連結される金属プラグ31a、及びストレージノード33が形成されている。前記ストレージノード33上に誘電膜35とプレートノード37とを形成することにより、ストレージノード33、誘電膜35及びプレートノード37で構成されるキャバシタが完成される。図2において、参照番号39, 41, 43は配線層を示す。

【0016】特に、本実施の形態では、図1に示された従来のストレージノード133が多結晶シリコンのみで形成されていたのとは異なり、ストレージノード用のコ

ンタクトホールに埋め込まれて前記半導体基板 1 と接続するストレードノード 3 3 の細柱部は、金属プラグ 3 1 a 構造よりなっている。更に、本実施の形態においては、金属プラグ 3 1 a 上に、導電性物質、例えば不純物がドーピングされた多結晶シリコンでキャバシタの有効面積となるストレージノード 3 3 が形成されて、前記金属プラグ 3 1 a と連結される形態よりなっている。前記金属プラグ 3 1 a には、続く工程の熱処理効果に鑑みて高融点金属のみを用いるか、導電性接着層と高融点金属よりなるサンドイッチ構造を用いることが望ましい。

【 0 0 1 7 】 次に、本実施の形態の半導体装置のキャバシタ製造方法を、図 3 A～図 3 K に基づいて説明する。図 3 A は、半導体基板 1 上にトレンチマスク層 3, 5 を形成する工程を示す。具体的には、半導体基板 1 上に第 1 絶縁膜 3 と第 2 絶縁膜 5 よりなるトレンチマスク層 3, 5 を形成する。前記第 1 絶縁膜 3 と第 2 絶縁膜 5 はエッティング特性が相異なる膜、例えばそれぞれ窒化膜と酸化膜よりなっており、続く CMP (化学機械的ポリシング) 工程で第 1 絶縁膜 3 は CMP 阻止層として用いられる。

【 0 0 1 8 】 図 3 B は、フォトエッティング工程を用いてトレンチ 7 を形成する工程を示す。具体的には、前記第 2 絶縁膜 5 上にフォトレジストパターン (図示せず) を形成する。次いで、前記フォトレジストパターンをマスクとして半導体基板 1、第 1 絶縁膜 3 及び第 2 絶縁膜 5 をエッティングして、浅いトレンチ 7 を形成する。前記トレンチ 7 は後に絶縁物質で埋め込まれて素子分離領域となる。

【 0 0 1 9 】 図 3 C は、前記基板の全面に第 3 絶縁膜 9 を形成する工程を示す。具体的には、前記トレンチ 7 を埋め込むように前記半導体基板 1 の全面に第 3 絶縁膜 9 を形成する。図 3 D は、トレンチ 7 に第 3 絶縁膜 9 を残す工程を示す。具体的には、前記トレンチ 7 に第 3 絶縁膜 9 が残るように、前記第 3 絶縁膜 9 及び第 2 絶縁膜 5 をエッチする。このエッチ方法としては、CMP (化学機械的ポリシング) またはエッチバック方法が用いられる。これにより、基板 1 には第 1 絶縁膜 3 と埋め込まれた第 3 絶縁膜 9 が形成される。

【 0 0 2 0 】 図 3 E は、半導体基板 1 の全面にトランジスタのスレショルド電圧調節用のイオン注入 1 1 を行う工程を示す。具体的には、前記第 1 絶縁膜 3 を選択的に取り除くことにより、前記トレンチ 7 内にのみ埋め込まれる最終の素子分離酸化膜 2 を形成する。次いで、半導体基板の全面にトランジスタのスレショルド電圧調節用のイオン注入 1 1 を行う。

【 0 0 2 1 】 図 3 F は、前記基板上にトランジスタを具現する工程を示す。具体的には、第 4 絶縁膜 1 3、導電膜 1 5 及び第 5 絶縁膜 1 7 よりなるゲートと、側壁スペーサ 1 9 と、ソース 2 1 及びドレイン 2 2 とを備えるトランジスタを形成する。前記導電膜 1 5 としては、不純

物がドーピングされた多結晶シリコン膜とシリサイド膜を順次にデポジットするポリサイド膜を用いることができ、前記第 5 絶縁膜 1 7 は用いなくてもよい。

【 0 0 2 2 】 図 3 G は、ランディングパッド 2 3 を形成する工程を示す。具体的には、前記半導体基板 1 の全面にランディングパッド用の導電膜をデポジットさせ、これをフォトエッティングしてランディングパッド 2 3 を形成する。前記ランディングパッド 2 3 は、コンタクトホールの形成時の工程余裕度を確保するために用いるものであって、半導体装置の種類に応じては用いなくてもよい。

【 0 0 2 3 】 図 3 H は、ピットラインをランディングパッド 2 3 に連結させる工程を示す。具体的には、前工程 (図 3 G) の結果物の全面に第 1 層間絶縁膜 2 5 をデポジットさせ、平坦化する。次いで、前記第 1 層間絶縁膜 2 5 上にフォトエッティング工程を用いてピットラインコントакトホールを形成した後、半導体基板の全面に前記ピットライン用の導電膜をデポジットさせて前記ランディングパッド 2 3 と接続させる。ランディングパッド 2

20 3 を用いない半導体装置では、半導体基板に直接接続されることもある。前記ピットライン用の導電膜をフォトエッティングして、最終のピットライン 2 7 を形成する。

【 0 0 2 4 】 図 3 I は、ストレージノード用のコンタクトホールを埋め込むように、半導体基板の全面に金属膜 3 1 をデポジットする工程を示す。具体的には、前工程 (図 3 H) の結果物の全面に第 2 層間絶縁膜 2 9 をデポジットさせて平坦化させた後、前記第 2 層間絶縁膜 2 9 上にフォトエッティング工程を用いてストレージノード用のコンタクトホールを形成して、半導体基板 1 の全面に前記コンタクトホールを埋め込むように金属膜 3 1 をデポジットさせる。前記金属膜 3 1 をデポジットさせるに先立ち、半導体基板との接着を容易にするため、導電性接着層を形成させ得るが、チタンとチタンナイトライドとを順次にデポジットする形態を用いる。この際、前記金属膜 3 1 は続く熱処理工程に耐える必要があるので、高融点金属、例えばタンクステンのような物質で形成することが望ましい。

【 0 0 2 5 】 図 3 J は、金属プラグ 3 1 a を形成する工程を示す。具体的には、前記金属膜 3 1 を CMP などの方法でエッティングして金属プラグ 3 1 a を形成する。図 3 K は、キャバシタの有効面積となるストレージノード 3 3 を形成する工程を示す。

【 0 0 2 6 】 具体的には、ストレージノード用の導電膜をデポジットさせた後、フォトエッティング工程を用いて、前記金属プラグ 3 1 a に連結されるようにキャバシタの有効面積の役割を果たすストレージノード 3 3 を形成させる。前記ストレージノード 3 3 は、例えばドーピングされた多結晶シリコンで形成する。前記ストレージノード上に誘電膜 3 5 とプレートノード 3 7 とを形成して、半導体装置のキャバシタを完成する。図 3 K におい

て、参考番号 39、41 及び 43 は配線層を示す。

【0027】以上、本発明を具体的な実施例により説明したが、本発明は前記実施例に限るものでなく、当業者の通常の知識の範囲内においてその変形や改良が可能である。

【0028】

【発明の効果】上述したように、本発明によれば、ストレージノード用のコンタクトホールとして金属で埋め込む金属プラグ 31a 構造を採用することにより、従来のドーピングされた多結晶シリコンがコンタクトホールを埋め込む場合に比べて抵抗が著しく減少し、不純物の外向拡散も根本的に防止することができる。前記金属プラグ 31a による抵抗の減少は、金属の比抵抗が多結晶シリコンに比べて著しく低いという固有の物質特性のためであり、外向拡散の防止は、多結晶シリコンの場合とは異なり、金属をドーピングする必要がないためである。

【図面の簡単な説明】

【図 1】COB 構造を有する従来の半導体装置のキャバシタを説明するための断面図である。

【図 2】本実施の形態の半導体装置のキャバシタを説明

するための断面図である。

【図 3A】

【図 3B】

【図 3C】

【図 3D】

【図 3E】

【図 3F】

【図 3G】

【図 3H】

10 【図 3I】

【図 3J】

【図 3K】本実施の形態の半導体装置のキャバシタ製造方法を説明するための断面図である。

【符号の説明】

25 第 1 層間絶縁膜

29 第 2 層間絶縁膜

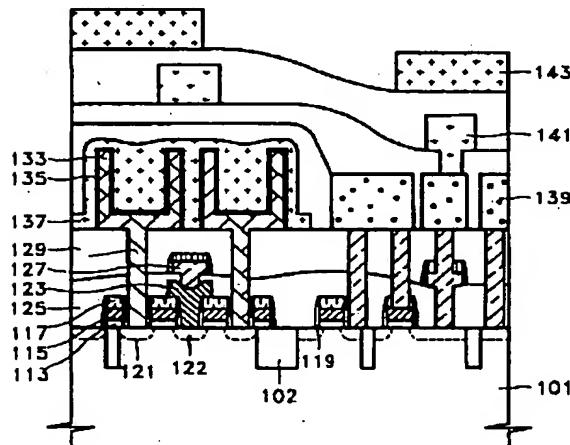
31a 金属プラグ

33 ストレージノード

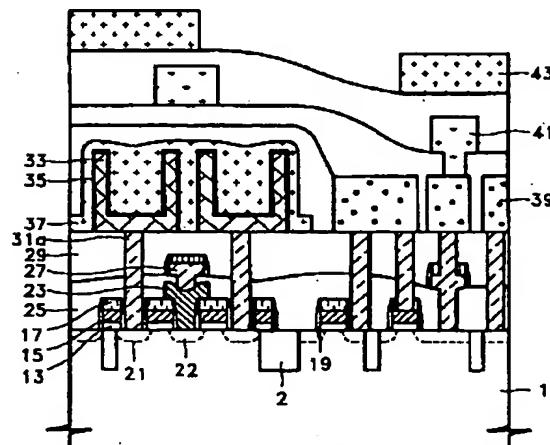
35 誘電膜

20 37 プレートノード

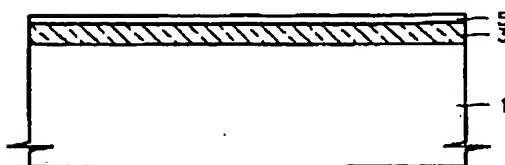
【図 1】



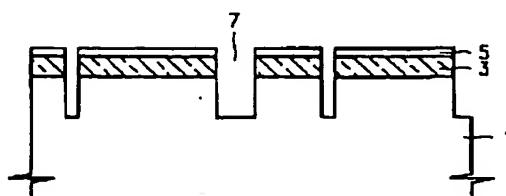
【図 2】



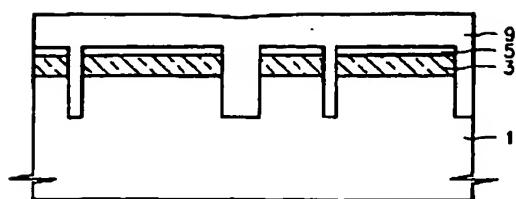
【図 3A】



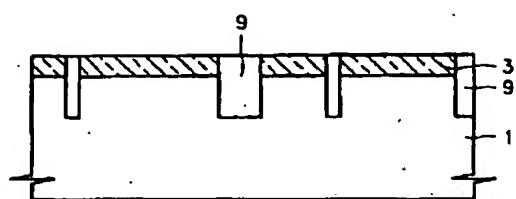
【図 3B】



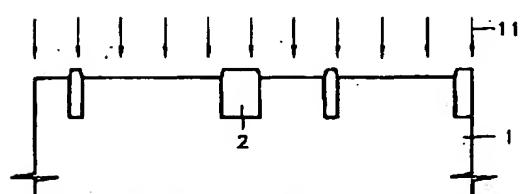
【図3C】



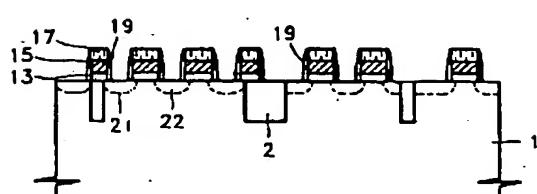
【図3D】



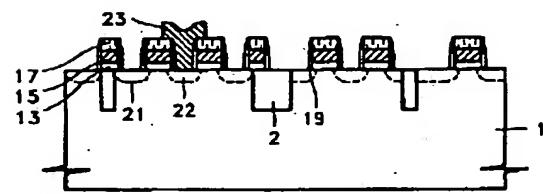
【図3E】



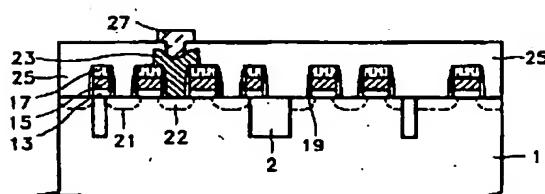
【図3F】



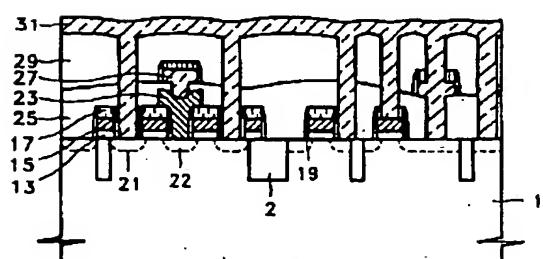
【図3G】



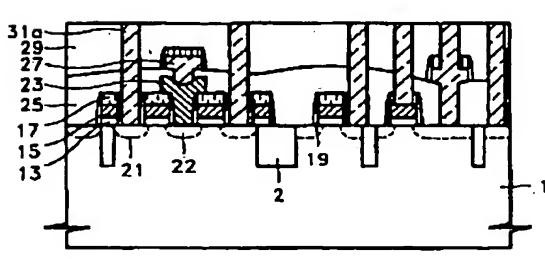
【図3H】



【図3I】



【図3J】



【図3K】

